

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

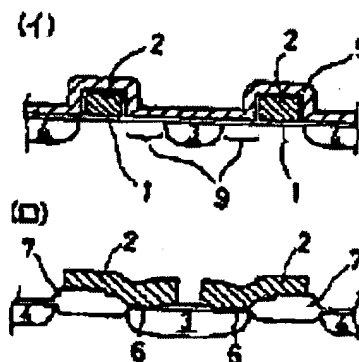
ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

Patent number: JP4307974
 Publication date: 1992-10-30
 Inventor: YOSHIMI MASANORI
 Applicant: SHARP CORP
 Classification:
 - international: H01L29/788; H01L29/792; H01L27/115
 - european:
 Application number: JP19910073239 19910405
 Priority number(s):

Abstract of JP4307974

PURPOSE: To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites.

CONSTITUTION: One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 2 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788 29/792 27/115		8225-4M 8831-4M	H 0 1 L 29/78 27/10	3 7 1 4 3 4
審査請求 未請求 請求項の数1(全 4 頁)				

(21) 出願番号 特願平3-73239

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005049

シヤープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪市阿倍野区長池町22番22号 シヤープ
株式会社内

(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 電氣的消去可能不揮発性半導体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したE
EPROMにおけるF-Nトンネリングによる消去を円
滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラ
インとで2つのEPROMセルを構成し、各フローテ
ィングゲートの一方側をホットエレクトロンによる書き
込み部位とし他方側をF-Nトンネリングによる一括消
去部位として機能分離する。

【実施例】以下、添付図面に示す実施例に基づいてこの

【0014】

こととなる。

キリソグが行なわれ、円滑な消去が一掃して行なわれる

れたトネル電化膜を介してソース側からのF-Nトン

オフセットを有さないため、ソース領域の両側に配置さ

【0013】一方、ソース駆動消去部においてはソース

る。

側から行なわれるため、各々円滑な書き込みが行なわれ

エレクトロンの注入がオフセットを有しない各ドレイソ

ールゲートを選択ゲートとすることができ、かつホット

フセットが確保されておりこのオフセット上のコントロ

【作用】ドレイソ駆動書き込み部においては、ソースオ

【0012】

書き込み部位を構成するという手段を講じたものである。

書き込み部位側ではソースオフセットを設けて一対の雪

トネル電化膜を配置して1つの消去部位を構成し、

分け、消去部位側ではソースオフセットを設けることな

ードレイソゲートを積極的に書き込み部位と消去部位に

【0011】この発明は、上記問題を解決すべく、フロ

される。

れてなる電気的消去可能不揮発性半導体記憶装置が提供

位及びソースオフセットを共通して覆うように配置さ

ードが、上記一対のフロートゲートと書き込み部

構成する消去部位、を有してなり、上記コントロール

トネル電化膜上に位置して一つのソース駆動消去部を

る書き込み部位と、(b)各々ソース両側に配置され

域上に位置して一対のドレイソ駆動書き込み部を構成す

が、(a)各々ソースオフセットを介して上記ゲート領

ールゲートを備え、上記一対のフロートゲートと

及びこのフロートゲート上に配置されるコントロー

ゲート領域上に配置される一対のフロートゲート

域及びこれらの間で設定される一対のゲート領域、この

はソース領域とその両側に配置される一対のドレイソ領

【駆逐を解決するための手段】かくしてこの発明によれ

【0010】

するものである。

ンキリソグによる消去を可能とする構造を提供しよう

したEEPROMにおいても、ソース側からのF-Nト

あり、ここにソース側オフセット部に選択ゲートを構成

【0009】この発明は、かかる状況下なされたもので

み特性が低下する不都合があった。

は、ホットエレクトロンの発生効率が低くなり、書き込

ロゲールをなすために必要があるが、この場合に

ることが要求され、そのためにはドレイソ接合の構造

的にリーク電流を防止すべくドレイソ接合部を向上

に比較的高電圧を印加する必要がある。従って、必然

ることも考えられるが、これを達成するには、ドレイソ

フロートゲート間のF-Nトンネルを利用す

なうことができなかった。また、この場合、ドレイソと

ードレイソゲート間のF-Nトンネルが生じ、ゲートの消去を円滑に行

【0008】しかしながら、この場合には、オフセット

の存在により、ソースとフロートゲート間のF

考えられる。

け、このオフセット部上に選択ゲートを配置すること

ードレイソとフロートゲートとの間にオフセットを設

【0007】そのため、EEPROMを構成するソース

し、EEPROMの熱特性が著しく低下する。

ードを独立して設けるとソースとゲートの界面面積が増加

【発明が解決しようとする課題】しかしながら、選択ゲ

【0006】

消去を防止することがしばしば行なわれている。

【0005】このため、選択ゲートを組合せて上記過剰

点がある。

削消去が生じてソースとゲートの界面面積が増加する

ードレイソゲートにより消去する構造では、しばしば過

【0004】しかしながら、このようにソース側よりF

グによる消去が行なわれる。

る書き込みが行なわれ、ソース側よりF-Nトンネル

Mにおいては、ドレイソ側よりホットエレクトロンによ

を有さない、いわゆる初期のスタンバイモード(セリシヨ

【0003】そして選択ゲート(セリシヨゲート)

みを利用して、

(Fowler-Nordheim) トンネル効果による消去/書き込

を有し、ホットエレクトロンによる書き込みやF-N

知られており、いずれもいわゆるフロートゲート

体記憶装置(EEPROM)として種々の構造のものが

【従来の技術】従来から、電気的消去可能不揮発性半導

【0002】

関する。

詳しくは、高集積化に適したEEPROMの素子構造に

【産業上の利用分野】この発明は、電気的消去可能不揮

発性半導体記憶装置(EEPROM)に関する。さらに

【0001】

【発明の詳細な説明】

装置。

うに配置されてなる電気的消去可能不揮発性半導体記憶

書き込み部位及びソースオフセットを共通して覆うよ

ードレイソゲートが、上記一対のフロートゲートと

動消去部を構成する消去部位、を有してなり、上記コン

【0009】この発明は、かかる状況下なされたもので

配を構成する書き込み部位と、(b)各々ソース両側に

記ゲート領域上に位置して一対のドレイソ駆動書き込み

ンゲートが、(a)各々ソースオフセットを介して上

るコントロールゲートを備え、上記一対のフロート

ンゲート及びこのフロートゲート上に配置され

領域、このゲート領域上に配置される一対のゲート

ドレイソ領域及びこれらの間で設定される一対のゲート

【請求項1】ソース領域とその両側に配置される一対の

【特許請求の範囲】

【0015】図1は、この発明の一実施例のEEPROMを示す平面構成説明図であり、図2（イ）は、図1のA-A'線断面説明図、図2（ロ）は同じくB-B'線断面説明図である。

10

20

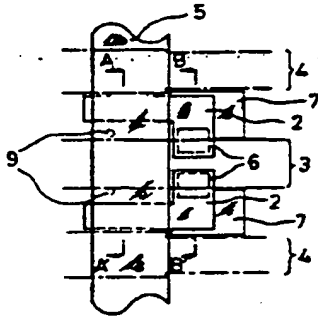
30

40

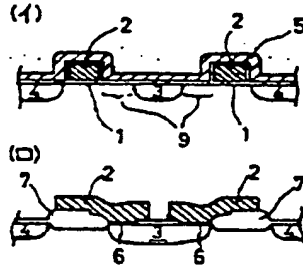
50

- 1 ゲート酸化膜
- 2 フローティングゲート
- 3 ソースライン
- 4 ドレインライン
- 5 コントロールゲート
- 6 トンネル酸化膜
- 7 素子分離領域
- 8 フォトレジスト
- 9 ソースオフセット

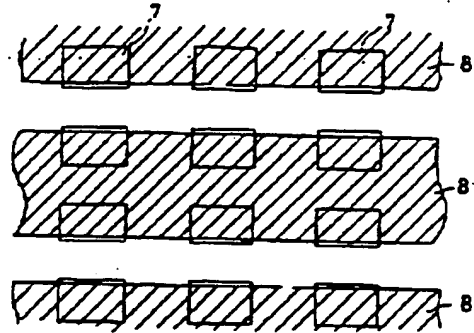
【図1】



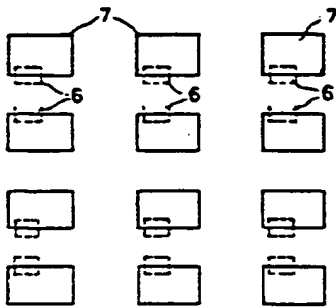
【図2】



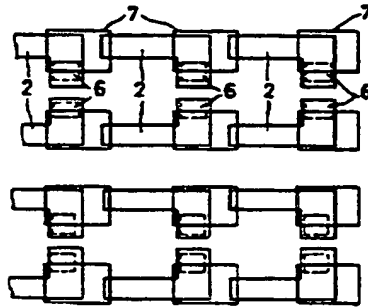
【図3】



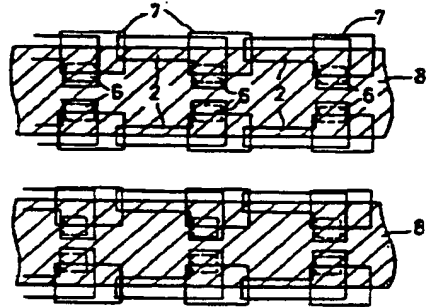
【図4】



【図5】



【図6】



【図7】

